

Family list

1 family member for:

JP11297703

Derived from 1 application.

1 FABRICATION OF SEMICONDUCTOR DEVICE

Publication info: **JP11297703 A** - 1999-10-29

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06356095 **Image available**

FABRICATION OF SEMICONDUCTOR DEVICE

PUB. NO.: 11-297703 [JP 11297703 A]

PUBLISHED: October 29, 1999 (19991029)

INVENTOR(s): ITO NAOKI

APPLICANT(s): FUJI ELECTRIC CO LTD

APPL. NO.: 10-104542 [JP 98104542]

FILED: April 15, 1998 (19980415)

INTL CLASS: H01L-021/322; H01L-021/76; H01L-021/762

ABSTRACT

PROBLEM TO BE SOLVED: To enhance reliability by implanting ions of a substance causing defects into an insulation region which is formed around an element to form an insulation film on the isolation region at the employing of an SOI substrate, on which a semiconductor active layer is formed via an insulation film thereby forming a gettering region.

SOLUTION: A semiconductor active layer 1c is formed on a semiconductor wafer 1a via an insulation film 1b to obtain an SOI substrate 1, and an element forming region 11 is formed by splitting the active layer 1c into an island shape. An oxide film 2 and a nitride film 3 are formed thereon and coated with a photoresist 4, and then the nitride film 3 and the photoresist 4 are removed from an isolation region 13. Subsequently, ions 7 of oxygen atom or Si atom are implanted using the photoresist 4 and the nitride film 3 as a mask. When the photoresist 4 is removed and a thick oxide film 9 is formed in the isolation region 13, a part of the oxygen atoms is deposited in the isolation region 13 to form a gettering region.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297703

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

H 0 1 L 21/322
21/76
21/762

識別記号

F I

H 0 1 L 21/322
21/76

J
L
M
D

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平10-104542

(22) 出願日 平成10年(1998) 4 月15日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者 伊藤 直樹

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

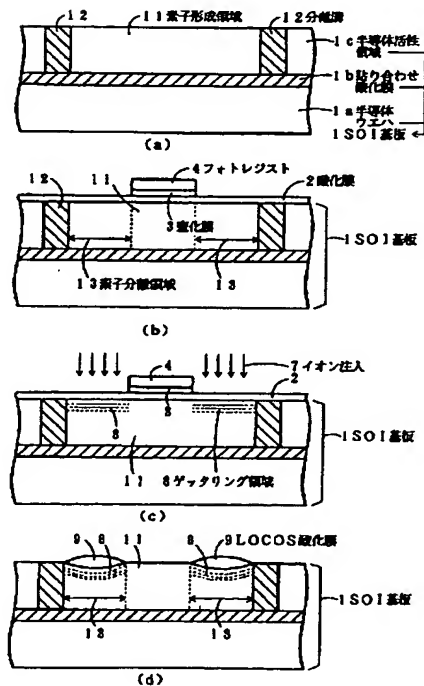
(74) 代理人 弁理士 篠部 正治

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 酸素原子または Si 原子のイオン注入で、素子分離領域にゲッタリング領域を形成することで、素子特性に悪影響を与える重金属などの汚染物質を効果的にゲッタリングできて、素子の信頼性が向上し、また、素子分離領域に LOCOS 酸化膜や浅い分離溝を形成することで効果的に素子間の分離を行うことができる、SOI 基板を用いた半導体装置の製造方法を提供する。

【解決手段】 SOI 基板 1 の素子分離領域 13 に、酸素原子や Si 原子のイオン注入 7 を行って、ゲッタリング領域 8 を形成する。また素子分離領域に LOCOS 酸化膜 9 を形成し、素子分離機能を持たせる。



【特許請求の範囲】

【請求項1】半導体ウエハと該半導体ウエハ上に貼り合わせ絶縁膜を介して形成された半導体活性層とで構成されたSOI (Silicon On Insulator) 基板を用い、該半導体活性層を前記貼り合わせ絶縁膜に達する分離溝で島状に分割し、該島状の素子形成領域に半導体素子を形成する半導体装置の製造方法において、前記素子形成領域に形成される素子の周囲に形成される素子分離領域に、ゲッタリング領域を設けるために欠陥を発生させる物質のイオン注入を行う工程と、前記素子分離領域上に絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】前記素子分離領域に、前記貼り合わせ絶縁膜に達しない浅い分離溝を形成する工程と、該浅い分離溝に、ゲッタリング領域を設けるために欠陥を発生させる物質のイオン注入を行う工程と、前記浅い分離溝に絶縁膜を形成する工程とを含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記の欠陥を発生させる物質が、酸素原子もしくはSi原子であることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】前記素子分離領域上に形成された絶縁膜が、選択酸化膜(LOCOS酸化膜)であることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、SOI基板を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路(IC: Integrated Circuit)において、素子間を分離する方法として、一例として、半導体ウエハに貼り合わせ絶縁膜を介して半導体活性層を形成したSOI基板を用いて、貼付け絶縁膜に達する分離溝を形成し、その分離溝で素子形成領域を島状に形成し、分離溝の側面に絶縁膜を介してポリシリコンを埋め込む誘電体分離方式(溝分離方式ともいう)がある。

【0003】この誘電体分離方式で、素子形成領域に形成される素子間を互いに分離する方法に、LOCOS法で形成した厚い酸化膜(LOCOS酸化膜: Local Oxidation of Silicon)を用いる場合と前記の貼り合わせ酸化膜に達しない浅い溝を形成し、この溝を絶縁膜で埋め込む場合がある。

【0004】

【発明が解決しようとする課題】通常、素子形成領域に素子を形成すると、製造プロセス中に重金属などの汚染物質が半導体内に導入される。SOI基板を用いない通常の半導体基板場合には、半導体基板の裏面に欠陥層を形成して、この汚染物質を欠陥層で吸収する、所謂、ゲッタリング処理がなされて、形成された素子の特性を劣

化させることはない。

【0005】しかし、SOI基板を用いた場合には、半導体活性層の厚みは10 μ m程度と薄く、この半導体活性層は全領域が無欠陥領域となっており、前記の汚染物質は半導体活性層ではゲッタリングされない。また、この半導体活性層の下には貼り合わせ絶縁膜があり、この貼り合わせ絶縁膜が汚染物質の通過を妨げるので、支持基板である半導体ウエハ側でゲッタリング処理することもできず、半導体活性層中に残留した汚染物質は、キャリアの再結合中心として働き、キャリアの発生と再結合に関与する。その結果、形成された素子のゲート酸化膜の信頼性を損ねることがある。具体的に説明すると、ゲート酸化膜のTZDB (Time Zero Dielectric Breakdown: 絶縁破壊電圧値) やQbd (Charge to breakdown: 絶縁破壊電荷量) が、SOI基板に形成されたp形半導体領域においては、CZウエハ(チョークラスキー・ゾーン・ウエハ)に形成されたp形半導体領域と比べて、通常、小さな値となる。そのため、このSOI基板に形成された素子の信頼性は悪い。この信頼性の悪化要因は、p形半導体領域に導入されたFe-Bペアが、再結合中心となり、このFe-Bペアを吸収するゲッタリング領域が形成できないからである。

【0006】この発明の目的は、SOI基板にゲッタリング領域を形成し、信頼性の高い、半導体装置を製造する方法を提供することにある。

【0007】

【課題を解決するための手段】前記の目的を達成するために、半導体ウエハと該半導体ウエハ上に貼り合わせ絶縁膜を介して形成された半導体活性層とで構成されたSOI (Silicon On Insulator) 基板を用い、該半導体活性層を前記貼り合わせ絶縁膜に達する分離溝で島状に分割し、該島状の素子形成領域に半導体素子を形成する半導体装置の製造方法において、前記素子形成領域に形成される素子の周囲に形成される素子分離領域に、ゲッタリング領域を設けるために欠陥を発生させる物質のイオン注入を行う工程と、前記素子分離領域上に絶縁膜を形成する工程とを含む製造方法とする。

【0008】前記素子分離領域に、前記貼り合わせ絶縁膜に達しない浅い分離溝を形成する工程と、該浅い分離溝に、ゲッタリング領域を設けるために欠陥を発生させる物質のイオン注入を行う工程と、前記浅い分離溝に絶縁膜を形成する工程とを含む製造方法とするとよい。前記の欠陥を発生させる物質が酸素原子もしくはSi原子であると効果的である。

【0009】前記素子分離領域上に形成された絶縁膜が選択酸化膜(LOCOS酸化膜)であるとよい。このようにすると、素子分離領域に酸素またはSiのイオン注入でゲッタリング領域を形成できるので、素子形成領域

に製造プロセスで導入される重金属(汚染物質)がこのゲッターリング層に吸収され、素子特性の劣化は起こらず、素子の信頼性を向上させることができる。また、浅い分離溝を掘ることでゲッターリング領域の深さが深くなり、ゲッターリング効果がより向上する。

【0010】尚、前記の素子形成領域に一個の素子が形成される場合も、ゲッターリング効果を持たせるために前記の素子分離領域が必要である。勿論、複数の素子が形成される場合には、文字通り、素子分離領域はゲッターリング効果の他に素子を分離する働きもする。

【0011】

【発明の実施の形態】図1はこの発明の第1実施例の製造工程であり、同図(a)ないし同図(d)は工程順に示した製造工程断面図である。半導体ウエハ1aとこの半導体ウエハ1a上に貼り合わせ絶縁膜1bを介して形成されたp形またはn形の半導体活性層1cとで構成されたSOI基板1を用いて、半導体活性層1cを貼り合わせ絶縁膜1bに達する分離溝12で島状に分割し、この島状のp形またはn形の素子形成領域11を形成する。この分離溝12は酸化膜を介してポリシリコンで埋め込まれる。このp形またはn形の素子形成領域11はpウェル領域またはnウェル領域となる(同図(a))。

【0012】つぎに、素子形成領域11上に30nm程度の厚みの酸化膜2を形成し、この酸化膜2上に100nm~150nm程度の厚みの窒化膜3を形成する。この窒化膜3上にフォトレジスト4を被覆し、パターニングおよびエッチングにより素子分離領域13上の窒化膜3とフォトレジスト4を除去する(同図(b))。その後、フォトレジスト4と窒化膜3をマスクとして、酸化膜2の下の素子分離領域13に酸素原子またはSi原子をイオン化してイオン注入7を行う。酸素原子の場合は、イオン注入の深さは0.2 μ m~0.5 μ m程度で、加速エネルギーは30keV~50keV程度がよい。また、ドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ ~ $1 \times 10^{15} \text{ cm}^{-2}$ 程度で、このドーズ量は素子耐圧に応じて所定の値に設定する(同図(c))。

【0013】続いて、フォトレジスト4を除去し、熱酸化により、素子分離領域13に、例えば400nm~600nm程度の厚い酸化膜であるLOCOS酸化膜9を形成する。このとき、または、その後の熱処理で、イオン注入された酸素原子の一部は酸化膜となり、一部は酸素析出の形で素子分離領域13中に析出してゲッターリング領域(ゲッターリングサイト)を形成する(同図(d))。

【0014】Si原子の場合は、この熱処理で、大部分が結晶化され、素子分離領域13中に取り込まれるが、結晶化の過程で局部応力が発生して結晶欠陥を形成し、この結晶欠陥領域がゲッターリング領域8(ゲッターリングサイト)となる。このようにして、素子分離領域13に

形成されるLOCOS酸化膜9の下に、ゲッターリング領域8が形成され、素子を形成するときに導入される重金属などの汚染物質を効果的に吸収することができる。

【0015】図2はこの発明の第2実施例の製造工程であり、同図(a)ないし同図(d)は工程順に示した製造工程断面図である。半導体ウエハ1aとこの半導体ウエハ1a上に貼り合わせ絶縁膜1bを介して形成されたp形またはn形の半導体活性層1cとで構成されたSOI基板1を用いて、半導体活性層1cを貼り合わせ絶縁膜1bに達する分離溝12で島状に分割し、この島状のp形またはn形の素子形成領域11を形成する。この分離溝12は酸化膜を介してポリシリコンで埋め込まれる。このp形またはn形の素子形成領域11はpウェル領域またはnウェル領域となる(同図(a))。

【0016】つぎに、素子形成領域11に30nm程度の厚みの酸化膜2を形成し、この酸化膜2上にフォトレジスト4を被覆し、パターニングおよびエッチングにより素子分離領域13上の酸化膜2とフォトレジスト4を除去する。残った酸化膜2とフォトレジスト4をマスクに、素子分離領域13内に貼り合わせ酸化膜1bに達しない浅い溝10を形成する(同図(b))。

【0017】その後、フォトレジスト4と酸化膜2をマスクとして、浅い分離溝10の下の素子分離領域13に酸素原子またはSi原子をイオン化してイオン注入7を行う。この場合、浅い分離溝10の底面および側面にイオン注入するために浅い分離溝10の直上および斜め方向からイオン注入7を行うことが好ましい。酸素原子の場合は、イオン注入の深さは0.2 μ m~0.5 μ m程度で、加速エネルギーは30keV~50keV程度がよい。また、ドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ ~ $1 \times 10^{15} \text{ cm}^{-2}$ 程度で、このドーズ量は素子耐圧に応じて所定の値に設定する(同図(c))。

【0018】続いて、フォトレジスト4を除去し、熱酸化またはCVDにより、素子分離領域13に例えば200nm~600nm程度の酸化膜20を形成し、浅い溝10を埋め込む。このとき、または、その後の熱処理で、イオン注入された酸素原子の一部は酸化膜となり、一部は酸素析出の形で素子分離領域13中に析出してゲッターリング領域8(ゲッターリングサイト)を形成する(同図(d))。

【0019】また、Si原子の場合は、この熱処理で、大部分が結晶化され、素子分離領域13中に取り込まれるが、結晶化の過程で局部応力が発生して結晶欠陥を形成し、この結晶欠陥領域がゲッターリング領域8(ゲッターリングサイト)となる。このようにして、素子分離領域13に形成される浅い分離溝10の下に、ゲッターリング領域8を形成することで、図1より深い箇所まで、素子を形成するときに導入される重金属などの汚染物質を効果的に吸収することができる。

【0020】尚、素子形成領域11に形成する素子の数

は一個でも複数個でも、前記の素子分離領域13に形成されるゲッタリング領域8は汚染物質をゲッタリング（吸収）する上で有効である。また、素子が複数個の場合は、この素子分離領域13は、LOCOS酸化膜9または浅い分離溝10が形成されているので、文字通り素子間を分離する領域として働く。

【0021】

【発明の効果】この発明によると、酸素原子またはSi原子のイオン注入で、素子分離領域にゲッタリング領域を形成することで、素子特性に悪影響を与える重金属などの汚染物質を効果的にゲッタリングできて、素子の信頼性が向上する。また、素子分離領域にLOCOS酸化膜や浅い分離溝を形成することで効果的に素子間の分離を行うことができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の製造工程であり、同図(a)ないし同図(d)は工程順に示した製造工程断面図

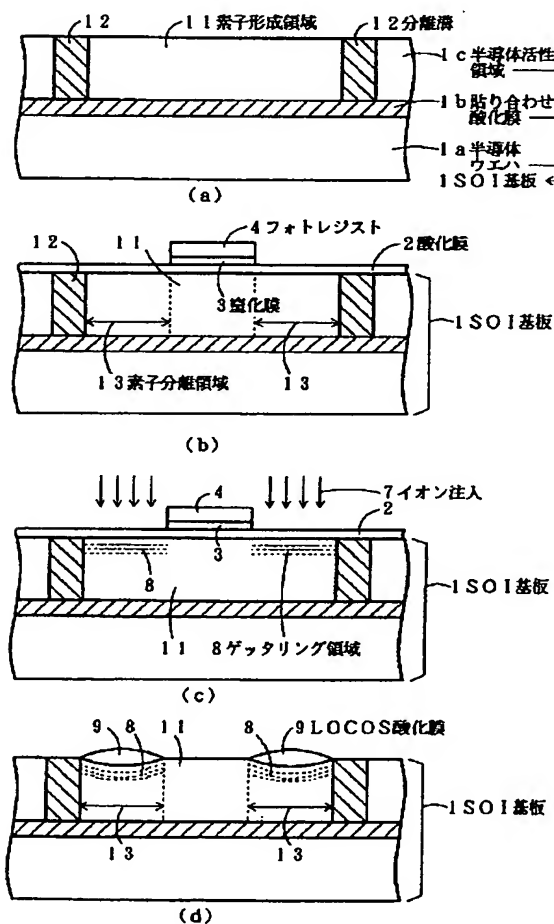
【図2】この発明の第2実施例の製造工程であり、同図

(a)ないし同図(d)は工程順に示した製造工程断面図

【符号の説明】

- 1 SOI基板
- 1a 半導体ウエハ
- 1b 貼り合わせ酸化膜
- 1c 半導体活性領域
- 2 酸化膜
- 3 窒化膜
- 4 フォトリソ
- 7 イオン注入
- 8 ゲッタリング領域
- 9 LOCOS酸化膜
- 10 浅い分離溝
- 11 素子形成領域
- 12 分離溝
- 13 素子分離領域
- 20 酸化膜

【図1】



【図2】

